

# Introduction à la compatibilité électromagnétique (CEM)

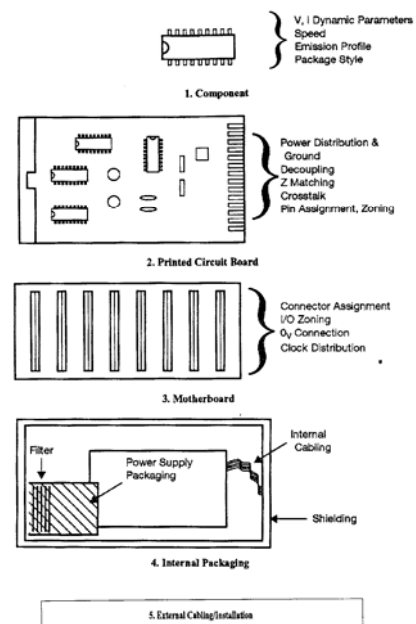
## 7 – Circuits imprimés et circuits intégrés

J. Unger – eivd - 2004

1

## Stratégie générale

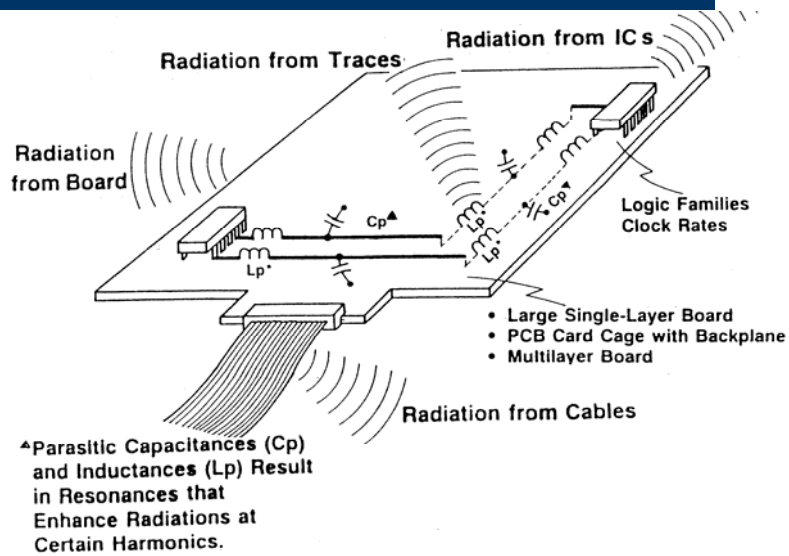
- Série et type des IC
- Disposition composants
- Fond de panier – interconnexions
- Câblage interne boîtier
- Câbles externes



7- Circuits imprimés

2

## Sources d'émission sur un circuit



7- Circuits imprimés

3

## Paramètres de quelques séries logiques

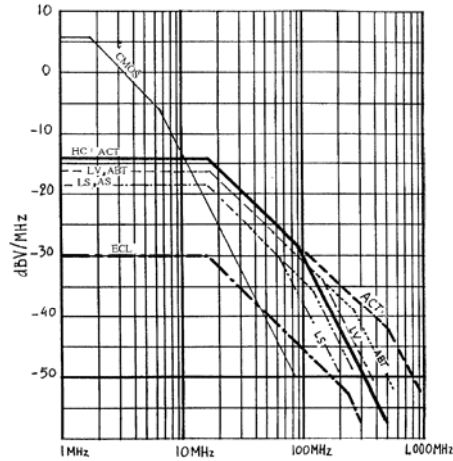
Logic Family	Typical Edge Rates (nS)		Band Width (MHz)	Output Drive Current, mA	
	Rise	Fall		I <sub>LO</sub>	I <sub>HI</sub>
AGP	0.35	0.45	1000	20	-12
BICMOS 74BCT	0.7	0.7	500	64	-15
BiCMOS 74ABT	1.6	1.4	250	64	-32
CMOS 74FCT	1.5	1.2	292	64	-15
CMOS 74AC	1.7	1.5	233	24	-24
CMOS 74ACT	1.7	1.5	233	24	-24
CMOS 74ACQ	2.5	2.4	146	24	-24
CMOS 74ACTQ	2.4	2.4	146	24	-24
CMOS 74HC	3.6	4.1	97	6	-6
CMOS 74HCT	4.6	3.9	90	6	-6
CMOS 74C	35	25	44	12	-14
TTL 74	8	5	70	16	-0.15
TTL 74S	2.5	2.0	175	16	-0.15
TTL 74LS	15	10	35	24	-0.15
LVDS	0.300	0.300	1167	3.5	-3.5

<sup>Δ</sup>Extracted from: *Design Guide for Electronic Packaging Utilizing High-Speed Techniques*, IPC-D-317 Task Group (D-21a), Published by IPC, Publication date February 2001, URL: <http://www.ipc.org>

7- Circuits imprimés

4

## Enveloppes spectrale des séries logiques



Impulsions de 20ns  
sauf pour CMOS: 200ns

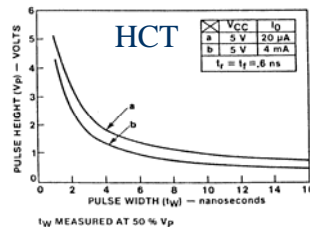
(Mardiguan)

7- Circuits imprimés

5

## Marges de bruit statique et dynamique des séries logiques

- Dynamique : Quelle durée d'impulsion provoque une erreur (en fonction de l'amplitude de l'impulsion) ?



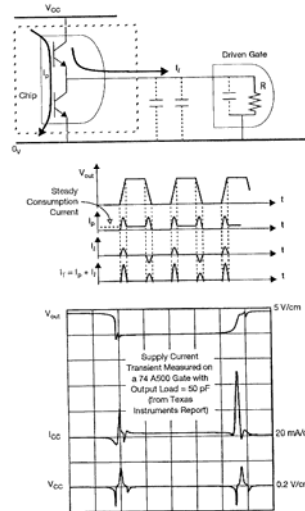
FAMILY	INPUT LEVELS, V		OUTPUT LEVELS, V		NOISE MARGIN, V	
	Vilmax	Vihmin	Volmax	Vohmin	NML	NMH
TTL	0.8	2.0	0.4	2.5	0.4	0.4
LS	0.7	2.0	0.4	2.5	0.3	0.5
ALS, S, F, AS	0.8	2.0	0.5	2.5	0.3	0.5
HCT, ACT	0.8	2.0	0.4	3.7	0.4	1.7
HC	0.9	3.15	0.1	4.4	0.8	1.25
AC	1.35	3.15	0.1	4.4	1.25	1.25
ECL F100K	-1.48	-1.17	-1.62	-1.03	0.15	0.14
MECL III	-1.49	-1.1	-1.6	-0.98	0.12	0.12
GaAs, Vtt = -2	-1.8	-1.4	-1.9	-1.3	0.1	0.1

7- Circuits imprimés

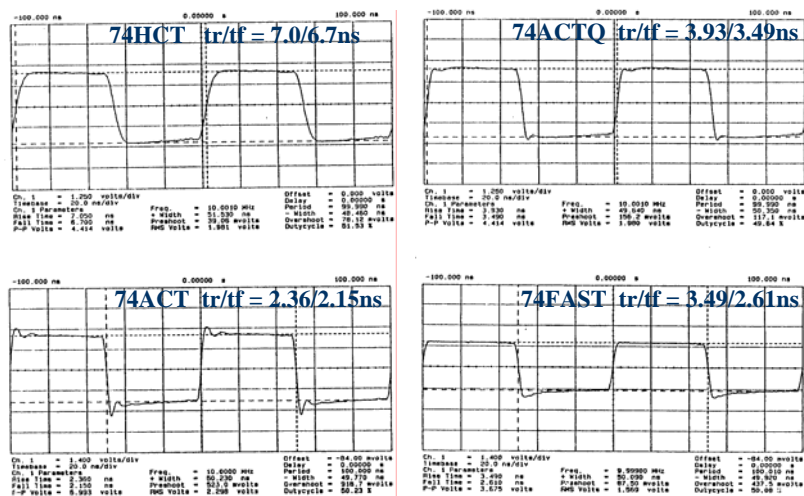
6

## Rappel : Courants de transition – « ground bounce »

- Courants externes de charge des capacités
- Courant interne de conduction simultanée – *très variables selon la série logique et l'inductance des pattes du boîtier*
- Exige des condensateurs de découplage et de minimiser les inductances

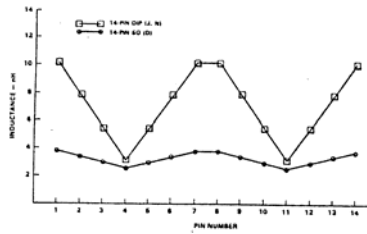


## Exemple – comparaison des séries

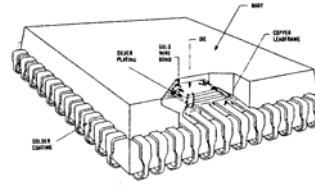


## Type de boîtier

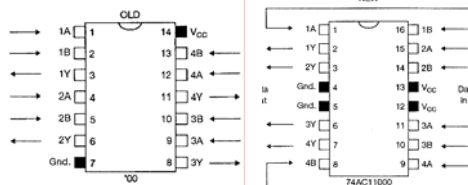
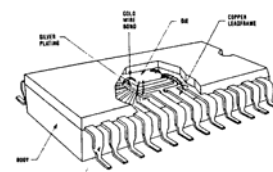
- L'inductance des pattes dépend du type de boîtier et de la position
- Vcc et Gnd au centre permet de limiter les « ground bounces »
- La réduction des dimensions limite les rayonnements



### Plastic Leaded Chip Carrier (PLCC)



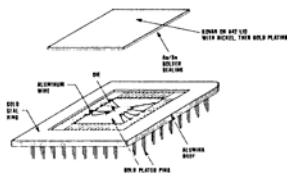
### Small Outline IC Package (SOIC)



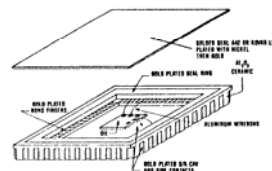
## Boîtier céramique

- Permet en plus un blindage du circuit
- Plusieurs pattes en parallèle = réduction supplémentaire de l'inductance

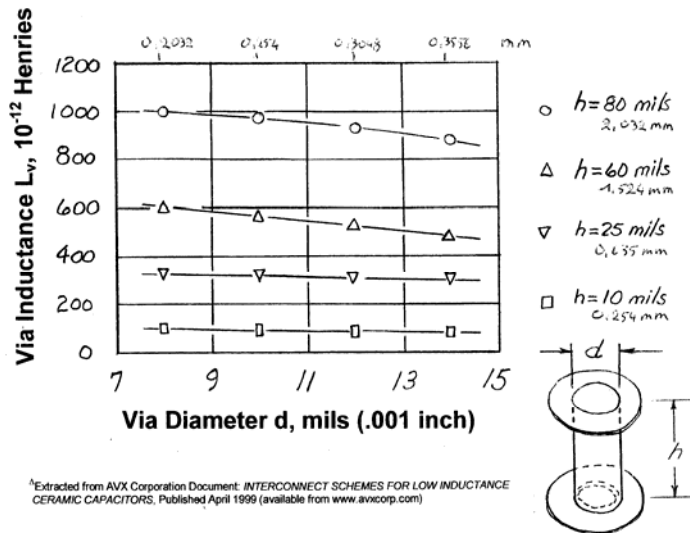
### Ceramic Pin Grid Array (CPGA)



### Ceramic Leadless Chip Carrier (CLCC)

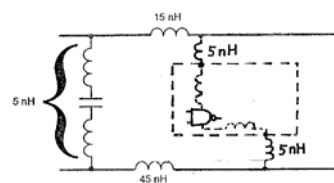
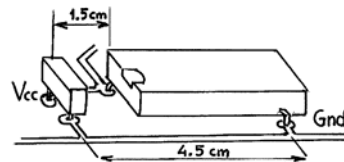
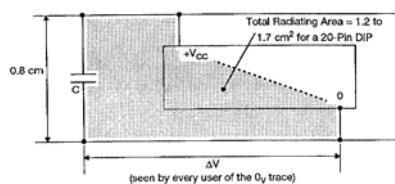


## Inductance des trous de passage « vias »



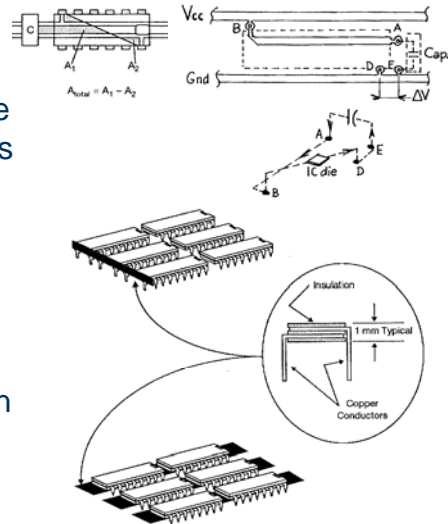
## Placement des condensateurs de découplage

- Réduction de la boucle de rayonnement
- Toutes les inductances doivent être prise en compte

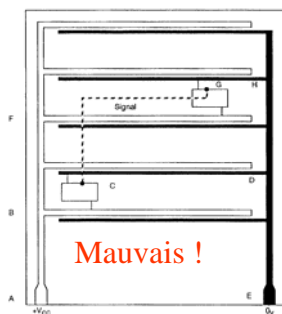


## Circuits simple ou double face

- Réduire l'écartement entre fils Vcc et Gnd
- Choisir une disposition de alimentation réduisant les boucles
- Placer la cap. tout près de la patte Gnd
- Une Cap. par IC
- Ou mieux : barres de distribution d'alimentation

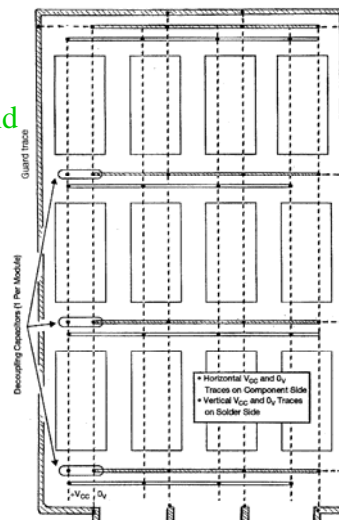
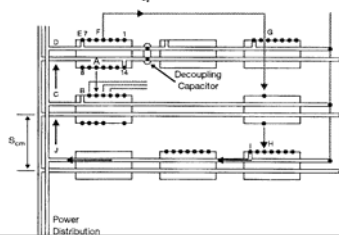


## Alimentations en simple / double face



Meilleur:  
Grilles de  
Vcc et Gnd

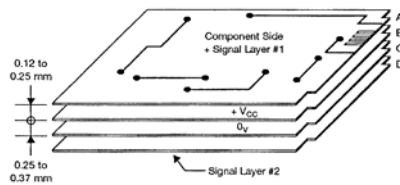
Mieux !



## Circuits multicouches

- Le plus souvent

- Accès direct aux signaux
- Capacité répartie Vcc-Gnd



$$L_{eq} \propto \ell \cdot x \cdot h$$

SM Capacitor PCB mounting technique Circa 1996



$$L' \propto \ell/2 \cdot x \cdot h$$

$$L' = L_{eq}/2$$

SM Capacitor PCB mounting technique Circa 1997



$$L'' \propto \ell/4 \cdot x \cdot h/2$$

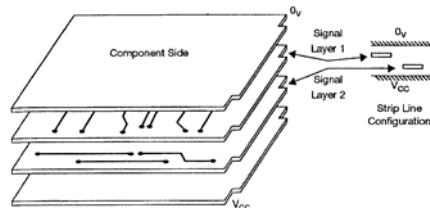
$$L'' = L_{eq}/8$$

SM Capacitor PCB mounting technique Circa 1999



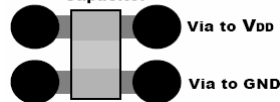
- Rarement

- Strip line pour les signaux
- Obligent des pistes perpendiculaires sinon couplage parasite



Decoupling Capacitor

$$L''' = L_{eq}/16$$



Via to VDD

Via to GND

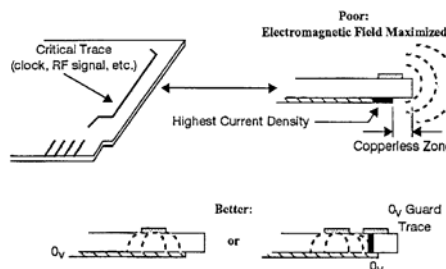
## Pistes = lignes de transmission

- Intégrité du signal :

- Délai de propagation
- Réflexions dans les lignes
- Couplage capacitif entre lignes

- Rayonnement des lignes

- Monopole : antenne
- Angles
- Proximité des bords





## Ligne de transmission

- Impédance caractéristique

- L = inductance linéique
- C = capacité linéique

$$Z_0 = \sqrt{\frac{L}{C}}$$

- Vitesse de propagation

$$v = \frac{1}{\sqrt{\mu_o \mu_r \epsilon_o \epsilon_r}} \cong \frac{c}{\sqrt{\epsilon_r}}$$

- Délai de propagation

$$t_p = l/v$$

- Coefficient de réflexion

- Impédance de charge  $Z_L$

$$\rho = \frac{Z_L - Z_0}{Z_L + Z_0}$$

## Impédances caractéristiques

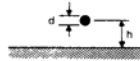
### PARALLEL WIRES



$$Z_0 = \frac{120}{\sqrt{\epsilon_r}} \cosh^{-1} \left( \frac{D}{d} \right)$$

$$\text{FOR } D/d \geq 3, Z_0 = \frac{120}{\sqrt{\epsilon_r}} \ln \left( \frac{2D}{d} \right)$$

### WIRE OVER GROUND



$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \cosh^{-1} \left( \frac{2h}{d} \right)$$

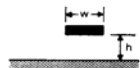
$$\text{FOR } 2h/d \geq 3, Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4h}{d} \right)$$

### PARALLEL FLAT CONDUCTORS



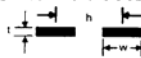
$$\text{FOR } w \gg h \text{ and } h \gg t, Z_0 = \frac{377}{\sqrt{\epsilon_r}} \left( \frac{h}{w} \right)$$

### FLAT CONDUCTOR OVER GROUND PLANE



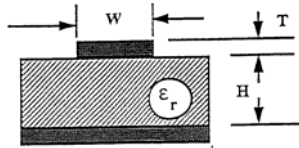
$$\text{FOR } w \gg h, Z_0 = \frac{377}{\sqrt{\epsilon_r}} \left( \frac{h}{w} \right)$$

### FLAT CONDUCTORS SIDE BY SIDE



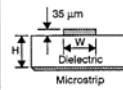
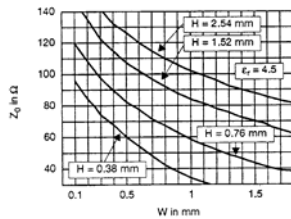
$$\text{FOR } w \gg t, Z_0 = \frac{120}{\sqrt{\epsilon_r}} \ln \left( \frac{w+h+t}{w-t} \right)$$

# Microstrip



Trace Impedance:

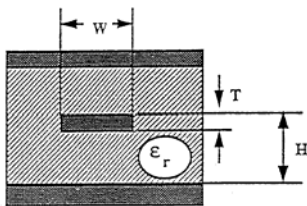
$$Z_0 \cong \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[ \frac{5.98H}{0.8W + T} \right]$$



Propagation Delay:

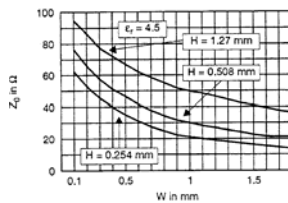
$$T_{pd} = 0.033 \sqrt{0.475 \epsilon_r + 0.67} \text{ nsec/cm}$$

# Stripline



Trace Impedance

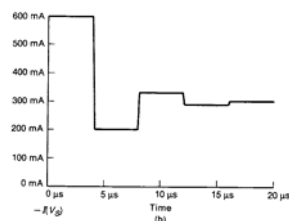
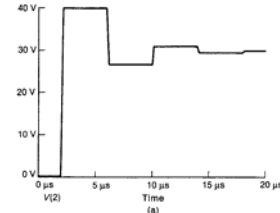
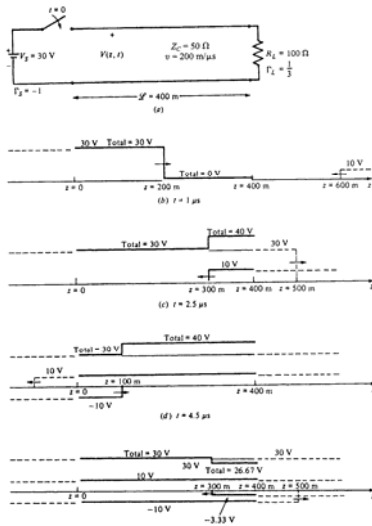
$$Z_0 \cong \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{4H}{0.67 \pi W (.8 + T/W)} \right]$$



Propagation delay:

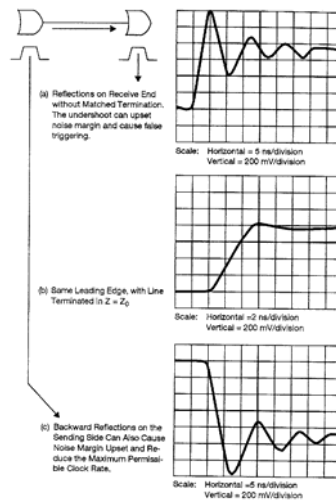
$$T_{pd} = 0.033 \sqrt{\epsilon_r} \text{ nsec/cm}$$

## Calcul des réflexions- exemple

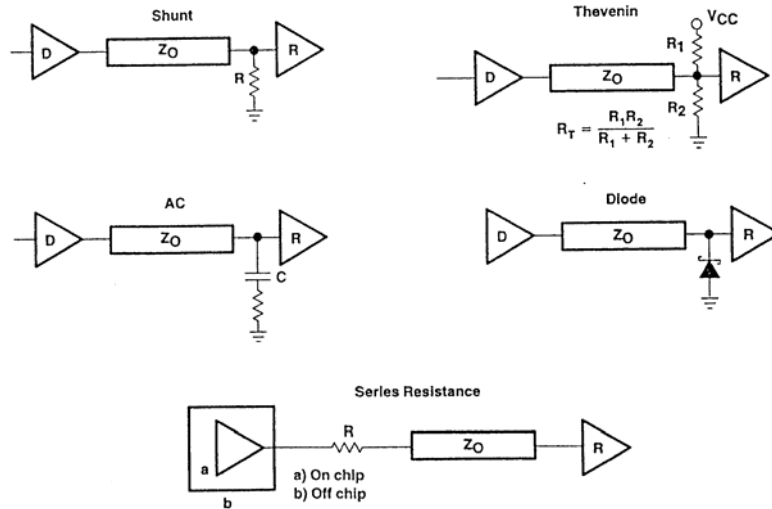


## Adaptation des lignes:

- Dès que le temps de montée est plus petit que le double du temps de propagation il faut adapter les impédances aux deux bouts :
- $Z_s = Z_L = Z_0$



## Circuits d'adaptation de ligne



7- Circuits imprimés

23

## Comparaison des circuits d'adaptation

TECHNIQUE	ADDITIONAL DEVICES	POWER INCREASE	DELAY	HOLDS DEFINED LEVEL	IDEAL VALUE†	COMMENTS
Shunt	1	Significant	No	Yes	$R = Z_O$	Low dc noise margin
Thevenin	2	Yes	No	Yes	$R_1 = R_2 = 2Z_O$	Good for backplanes due to maintaining drive current
AC	2	Yes	No	No	$R = Z_O$ $60 < C < 330 \text{ pF}$	Increase in frequency and power
Series resistor on device	0	No	Small	No	$25 = < R = < 33 \Omega$	Good undershoot clamping; useful for point-to-point driving
Diode	1	No	No	No	NA	Good undershoot clamping; useful for standard backplane terminations

† Symbols are defined in Figure 13.

7- Circuits imprimés

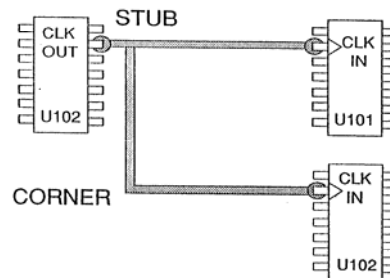
24

## Autres sources de réflexions

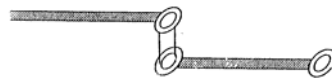
Discontinuities in circuit traces affect signal propagation and fidelity

Types of Discontinuities:

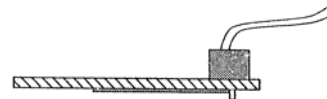
Stubs and Corners:



Vias and Pads



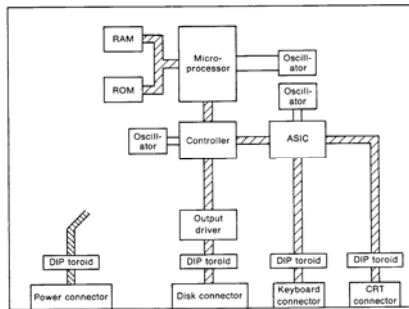
Connectors



## Répartition du circuit en zones

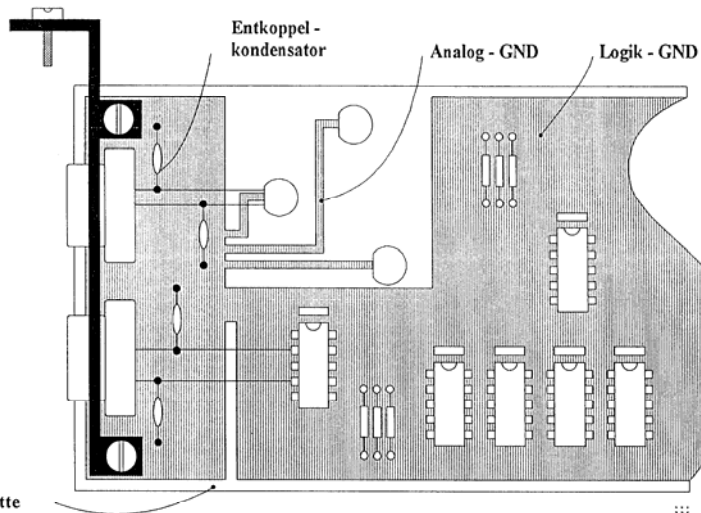
- Séparer les composants haute et basse vitesse
  - (microprocesseur, ASIC)
  - horloge tout près de l'utilisateur, utilisations de plusieurs horloges à fréquence différentes, si possible (harmoniques différents donc sans cumulation de rayonnement EM)
- Prévoir des zones d'entrées sorties séparées
  - découplage - filtrage d'entrée
- Séparer les composants analogiques
  - Fente de séparation sur le plan de terre
  - Convertisseurs AD et circuits mixtes à cheval sur les deux zones

## Exemple de zones



7 - Circuits imprimés

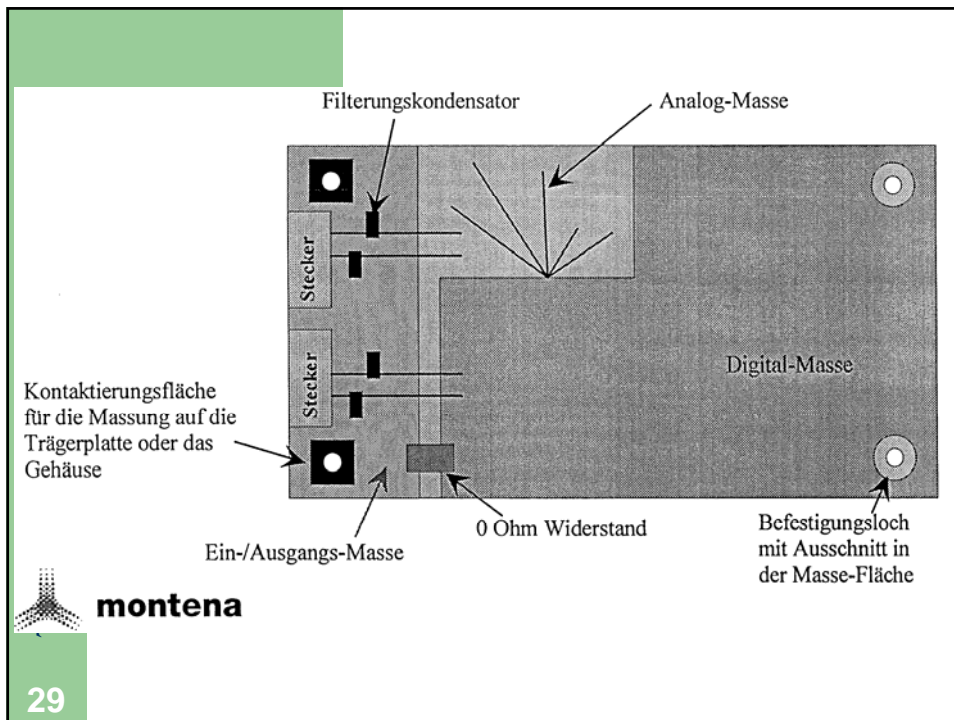
27



 **montena**

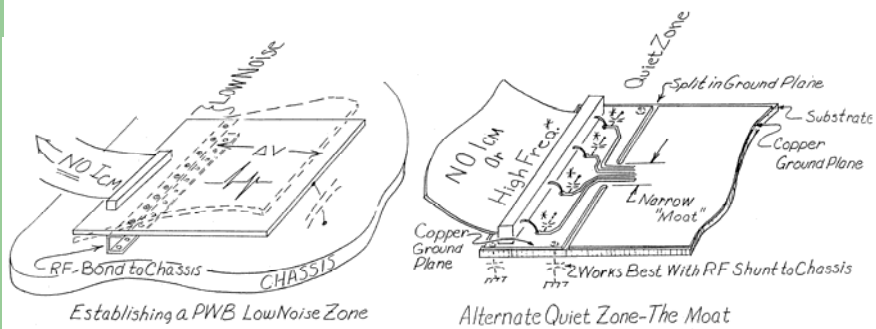
D. 10. DIG. 029 / 03.12.1997

28



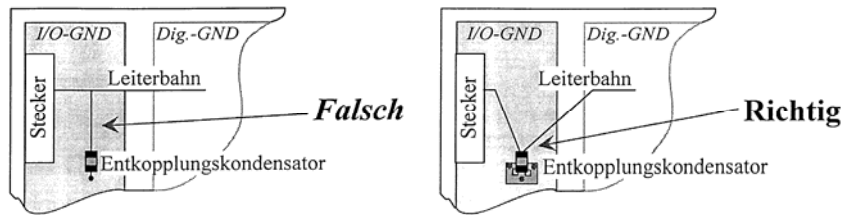
## Zone d'entrées-sortie

- Le découplage des courants de mode commun exige une bonne liaison (galvanique ou ac) du plan de terre I/O au châssis



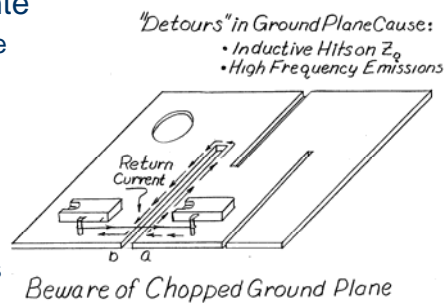
## I/O : Condensateurs de découplage

- Montage évitant toute inductance parasite en série avec le condensateur
- Mieux dans le connecteur !!!



## Fentes et trous dans le plan de terre

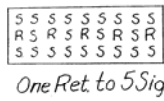
- Obligent les courants de retour à contourner la fente
  - Augmentation d'inductance locale
  - Augmentation du rayonnement
- Eviter toute trace traversant une fente
  - I/O vers D-gnd, A-gnd vers Dgnd
  - Les trous de passage (vias, connection) doivent rester étroits





## Connecteurs – disposition des signaux

- Placer un maximum de fils de terre
  - Eviter les couplages entre fils (intercaler)
  - Réduire les surfaces aller-retour
  - Abaisser l'impédance commune



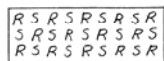
One Ret. to 5 Sig.

Slow Signals – More than  
15 nS Rise Time  
 $\Delta V_{GB} \leq 200 \text{ mV} @ 15 \text{ nS}$



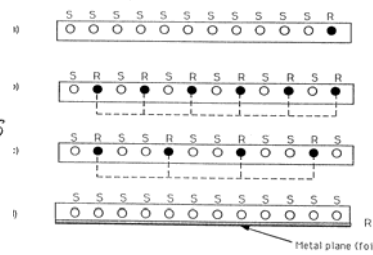
One Ret. to 2 Sig.

Medium Signals – More Than  
5 nS Rise Time, Less Than 15 nS  
 $\Delta V_{GB} \leq 250 \text{ mV} @ 5 \text{ nS}$



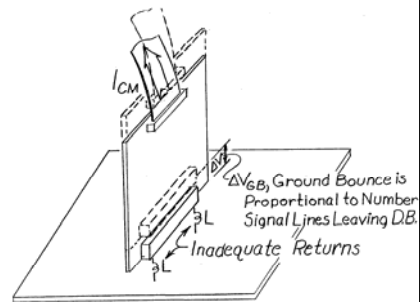
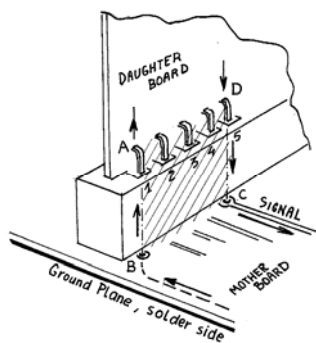
One Ret. to 1 Sig.

Fast Signals – Less Than 5 nS  
Rise Time, More Than 2 nS  
 $\Delta V_{GB} \leq 300 \text{ mV} @ 2 \text{ nS}$



## Influence des connecteurs

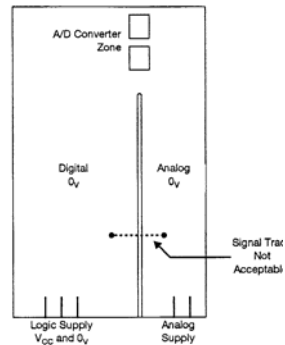
- Inductance des bornes
  - Potentiels de terre !!
- Augmentation des surfaces de rayonnement



Daughter Board Ground Bounce

## Circuits mixte A & D

- Idéalement à cheval sur les zones A et D
  - Liaison entre les deux plans de terre au niveau du convertisseur.
  - Lignes digitales entièrement sur le plan D-gnd
  - Lignes analogiques entièrement sur le plan A-gnd



## Circuits mixtes

- En cas d'impossibilité – réaliser un blindage minimum en entourant les pistes chevauchant la zone par de larges zones de leur plan de terre, mais sans recouvrir l'autre plan (capa de couplage)

